

明 細 書

半導体装置およびその製造方法

技術分野

本発明は、半導体チップと配線層とを有する半導体装置およびその製造方法に関する。

従来の技術

近年、半導体装置については、電子機器の高性能化と軽薄短小化の傾向から L S I の A S I C に代表されるように、ますます高集積化、高機能化、小型化が進んでいる。

従来は、プロセス工程を経たウエハに対し、裏面研磨を施してから、ダイシングを行い、各ペレット（半導体チップないし半導体素子とも言う）毎に切断分離する。その後、ペレット毎に、ダイボンディング、ワイヤボンディング、樹脂封止等を行って、半導体装置を製造している。またワイヤボンディング法により半導体チップとリードフレームの電気接続が行われている。

近年、高速信号処理を行うため、半導体チップの bumps を用いたフリップチップ接続が採られるようになってきた。

フリップチップ接続には、パッケージングされていない半導体チップをそのままプリント基板に搭載するベアチップ実装という方法もあるが、取り扱いが難しい。信頼性保証の観点からは、パッケージングされた bumps 付き半導体チップが用いられている。

最近では、パッケージングされた bumps 付き半導体チップを有する半導体装置を製造する方法として、ウエハレベルで、配線形成、外部端子部（メタルポスト）形成、樹脂封止および、bumps 形成を行った後、各半導体チップ毎に切断分離して、CSP（Chip Scale Package）を形成する製造方式が提案されている（Chip Scale International 99 / SEMI 1999）。

尚、このようにして製造された CSP をウエハレベル CSP とも言う。

このような半導体装置の製造を、ここでは、ウエハレベルでの半導体装置の製造という。

図9に半導体装置の一部断面を示す。図9中、符号110は半導体チップ（単にチップとも言う）であり、符号115は電極（端子とも言う）であり、符号120はSiNパッシベーションであり、符号125はポリイミド層であり、符号130は配線層であり、符号131はシードメタル層であり、符号132は電解銅めっき層であり、符号140は樹脂封止層（エポキシ樹脂層）であり、符号150はメタルポスト（電解銅めっき層）であり、符号160はバリアメタル層であり、符号170は半田ボールである。

図9において、半導体チップ110の端子115が、半導体チップ110面上に形成した配線層130に接続されている。配線層130には、外部端子部（メタルポストとも言う）150が接続され、外部端子部（メタルポスト）150にはバリアメタル層160を介して、半田ボール170が接続されている。更に、半田ボール170をバンプとして、プリント基板が半田接続される。このような半導体装置は従来のフリップチップ接続による半導体チップのプリント基板への搭載に近い形態となっている。

尚、メタルポスト150を埋めるように樹脂封止層140が設けられている。

図9において、構造上、メタルポスト150は半田ボール170の径の2/3程度の径（100～200 μ m）が必要であり、また、その高さは約100 μ mであるため、太く剛性が大きい。

したがって、個別の半導体装置の状態が基板に実装されて温度変化を繰り返し受けると、半導体チップと実装基板間の熱膨張係数差（ $\Delta\alpha$ ）に起因して熱歪みが発生し、メタルポスト150の下部の半導体チップ110にクラックが生じる。

また、半導体チップ110の配線層130側のみに樹脂封止層140を設けるため、反りが発生し、半田ボール170の平坦度が悪く、実装歩留まりが悪いという問題もある。

このように、上記ウエハレベルCSP（Chip Scale Package）においては、半導体装置が基板に実装された状態で温度変化を繰り返し受けると、メタルポスト150下部の半導体チップ110にクラックが生じるという

問題や、半導体チップ110の配線層130側のみ樹脂封止する構造であるため、反りが発生し、このため半田ボール170の平坦度が悪く、実装歩留まりが悪いという問題がある。

発明の開示

本発明は、このような点を考慮してなされたものであり、基板に実装された状態において温度が変化しても半導体チップにクラックが生じにくくなっており、反りが発生しにくく、実装歩留まりの良い半導体装置およびその製造方法を提供することを目的とする。

本発明は、電極が設けられた半導体チップと、半導体チップの電極側の面上に設けられた絶縁層と、絶縁層上に設けられた配線層とを備え、半導体チップの電極と配線層は、絶縁層内に配置された接続部を介して接続されていることを特徴とする半導体装置である。

本発明は、接続部は、半導体チップの電極上に設けられたワイヤバンプを有することを特徴とする半導体装置である。

本発明は、接続部は、ワイヤバンプ上に設けられた導電性ペースト硬化物を更に有することを特徴とする半導体装置である。

本発明は、接続部は、半導体チップの電極上に設けられたメタル層と、メタル層上に設けられた導電性ペースト硬化物とを有することを特徴とする半導体装置である。

本発明は、配線層を覆うとともに開口を有するソルダーレジスト層を更に備え、ソルダーレジスト層の開口に配線層に接続された半田ボールを設けたことを特徴とする半導体装置である。

本発明は、半導体チップのうち、電極側と反対の面に追加絶縁層が設けられていることを特徴とする半導体装置である。

本発明は、電極が設けられた複数の半導体チップからなるウエハを準備する工程と、各半導体チップの電極上に接続部を設ける工程と、各半導体チップの電極側の面上に、接続部を覆う厚さで絶縁層を設ける工程と、絶縁層を研磨して、接続部を露出させる工程と、絶縁層の上に、無電解めっき層を形成する工程と、無電解めっき層の上に、無電解めっき層を給電層として配線層形成領域のみに選択

的に電解めっき層を形成する工程と、電解めっき層以外の領域の無電解めっき層をエッチングにより除去して無電解めっき層と電解めっき層とからなる配線層を形成するエッチング工程と、ウエハを各半導体チップ毎に切り出して半導体装置を形成する工程と、を備えたことを特徴とする半導体装置の製造方法である。

本発明は、配線層上に、開口を有するソルダーレジスト層を設ける工程と、ソルダーレジスト層の開口に、配線層に接続された半田ボールを設ける工程と、を更に備えたことを特徴とする半導体装置の製造方法である。

本発明は、接続部は、半導体チップの電極上に、ワイヤボンディングによりワイヤバンプを形成して設けられていることを特徴とする半導体装置の製造方法である。

本発明は、接続部は、ワイヤバンプ上に更に導電性ペースト硬化物を形成することにより設けられていることを特徴とする半導体装置の製造方法である。

本発明は、接続部は、半導体チップの電極上に、スパッタリングによりメタル層を形成し、このメタル層上に導電性ペースト硬化物を形成して設けられていることを特徴とする半導体装置の製造方法である。

本発明は、電解めっきを形成する工程において、無電解めっき層上に所定形状のレジスト像を形成し、これを耐めっきマスクとして、選択的に電解めっき層を形成することを特徴とする半導体装置の製造方法である。

本発明は、配線層を形成するエッチング工程において、無電解めっき層上の所定形状のレジスト像を除去した後、配線層を損なわないように、露出した無電解めっき層をソフトエッチングにより、除去することを特徴とする半導体装置の製造方法である。

本発明は、絶縁層を研磨する工程後、絶縁層面を粗化する粗面化処理を行うことを特徴とする半導体装置の製造方法である。

本発明は、ソルダーレジスト層を設ける工程において、スクリーン印刷法により、配線層を覆うように感光性のソルダーレジストを設け、該感光性のソルダーレジストの所定の領域のみを露光し、更に現像して配線層が露出するよう開口を形成することを特徴とする半導体装置の製造方法である。

本発明による半導体装置では、上記のような構成にすることにより、基板に実

装された状態で、温度が変化しても半導体チップにクラックが生じにくくなる。

特に、接続部がワイヤバンプである場合、絶縁層上に形成された配線と半導体チップの電極とは、半導体チップの電極上に形成されたワイヤバンプを介して、電氣的に接続される。このワイヤバンプを軟らかく延性の高いAuワイヤ等で形成し、かつ、その形状を細かく高く形成することができるので、繰り返し熱応力を受けても、ワイヤバンプ自身が変形することで応力を緩和し、半導体チップクラックを生じにくくなる。

従来の半導体装置ではメタルポストが硬く太い為に、自己変形することができず、相対的に強度が弱く、半導体チップ表面または半田ボール接続部等にクラックが生じていた。

本発明によれば、接続部が、半導体チップの電極上に設けられたワイヤバンプと、ワイヤバンプ上に設けられた導電性ペースト硬化物からなる場合、絶縁層形成工程を容易に行うことができる。同時に、繰り返し熱応力を受けた時の接続信頼性をさらに高めることができる。

即ち、ワイヤバンプ上に導電性ペースト硬化物を形成する際に、背を高く、また先端を尖らせるようにすることができる。このため後述する絶縁層としてエポキシ系材料をラミネートすることにより、接続部が変形すること無く、絶縁層を良く貫通することができる。

また、接続部が半導体チップの電極上に設けられたメタル層と、その上に更に設けられた導電性ペースト硬化物から成る場合、接続部の形成工程をウエハ単位で一括処理できるため、加工量を削減できる。

また導電ペースト硬化物はその熱膨張係数を絶縁層と比較的一致させることができ、かつ、柔軟性を持つため、繰り返し熱応力をうけても、それ自身にクラックが生じることはなく、従って、接続信頼が高い。

また、半導体チップの、電極形成側の面と対向する面にも絶縁層を形成することにより、反りが発生しにくく、実装歩留まりが良くなる。

また、配線を覆うソルダーレジスト層を設け、ソルダーレジスト層の開口した外部端子形成領域に半田ボールからなる外部端子を設けることにより、作製が容易な半導体装置を得ることができる。

本発明の半導体装置の製造方法によれば、上記のような構成にすることにより、基板に実装された状態で温度が変化しても半導体チップにクラックが生じにくくなり、接続部が破壊され難くなる。更には、反りが発生しにくく、実装歩留まりが良くなる。

図面の簡単な説明

図 1 は本発明による半導体装置の第 1 の実施の形態を示す一部断面図である。

図 2 は本発明による半導体装置の第 2 の実施の形態を示す一部断面図である。

図 3 は本発明による半導体装置の第 3 の実施の形態を示す一部断面図である。

図 4 は本発明による半導体装置の第 4 の実施の形態を示す一部断面図である。

図 5 は図 1 に示す半導体装置の製造方法を示す工程図である。

図 6 は図 1 に示す半導体装置の製造方法を示す工程図である。

図 7 は図 2 に示す半導体装置を製造する際の導電性ペーストとワイヤバンプを示す図である。

図 8 は図 4 に示す半導体装置を製造する際の導電性ペースト硬化部を示す図である。

図 9 は従来の半導体装置を示す図である。

発明を実施するための最良の形態

以下本発明の実施の形態について図 1 乃至図 8 により挙げて説明する。

図 1 は本発明による半導体装置の第 1 の実施の形態を示す一部断面図、図 2 は本発明の半導体装置の第 2 の実施の形態を示す一部断面図、図 3 は本発明の半導体装置の第 3 の実施の形態を示す一部断面図、図 4 は本発明の半導体装置の第 4 の実施の形態を示す一部断面図、図 5 および図 6 は図 1 に示す半導体装置の製造方法を示す一部工程図、図 7 は図 2 に示す半導体装置を製造する際に導電性ペーストをワイヤバンプに形成する状態を示す図、図 8 は図 4 に示す半導体装置を製造する際に導電性ペースト硬化部を形成する状態を示す図である。

はじめに、本発明の半導体装置の第 1 の実施の形態を、図 1 に基づいて説明する。

図 1 に示すように、半導体装置 1 は一方の面に電極 15 を有する半導体チップ 10 と、半導体チップ 10 の電極 15 側の面に設けられたパッシベーション層 2

0および絶縁層40と、絶縁層40上に設けられた配線層50とを備えている。

図1において、絶縁層40上に形成された配線層50と半導体チップ10の電極15とは、半導体チップ10の電極15上に設けられたワイヤバンプ（接続部）31を介して電氣的に接続されている。

そして、絶縁層40および配線層50上に、絶縁層40と配線層50を覆うソルダーレジスト層60が設けられ、ソルダーレジスト層60には半田ボールを設ける配線の外部端子形成領域として開口60aが設けられ、この開口60aに配線層50に接続された半田ボールからなる外部端子70が形成されている。

半導体チップ10、電極15、およびパッシベーション層20（図5（a）参照）は、通常の半導体プロセスで形成されるもので、電極15はAl電極が一般に用いられ、パッシベーション層20としては、SiN膜またはSiN膜+ポリイミド層が通常用いられる。

ワイヤバンプ31は、絶縁層40を貫通するように形成されており、金線等をワイヤボンディングすることにより電極15上に形成されている。ワイヤバンプ31は半導体チップ10面にほぼ直交する方向に突出するワイヤを絶縁層40とともに研磨し、ワイヤの平坦面を絶縁層40から露出させ、絶縁層40面と同じ高さに揃えている。

また配線層50は、無電解めっき層（シードメタル）51と、この無電解めっき層51上に設けられた電解めっき層52、53とを有している。

電解めっき層52は、配線層の主層となるもので、導電性の面およびコスト面から一般には銅層を主体としたものが用いられるが、これに限定はされない。

電解めっき層53はバリアメタル層で、半田ボール70と電解めっき層52間の合金層形成を防止するために設けたものである。電解めっき層53は、順次電解Niめっき1~2 μ m厚、Auめっき0.1 μ m層を設けて形成されたバリアメタル層からなっている。

絶縁層40としては、絶縁性、処理特性、機械的強度、耐性等に優れたものであれば限定されないが、例えば、ラミネート法により形成された、エポキシ樹脂、あるいはトランスファーモールド法により形成されたシリカフィラー入りエポキシ樹脂からなるものを、熱応力を緩和する目的から約100 μ m厚程度（ワイヤバ

ンプ高さはこれに合す)としたものが用いられる。

ソルダーレジスト層60としては、処理性の良い感光性のものが好ましいが限定はされない。

次に、本発明の半導体装置の第2の実施の形態について図2に基づいて説明する。

図2に示す半導体装置1において、半導体チップ10の電極15形成側の面上に絶縁層40が設けられ、絶縁層40上に配線層50が形成されている。絶縁層40上に形成された配線層50と半導体チップ10の電極15とが接続されている。図2において、絶縁層40上に形成された配線層50と半導体チップ10の電極15とは、半導体チップ10の電極15上に設けられたワイヤバンプ31と、ワイヤバンプ31上に更に突起状に形成された導電性ペースト硬化物35とからなる接続部30により電氣的に接続されている。

その他の点は、図1に示す第1の実施の形態と略同一である。図2において、図1に示す部分と同一部分には同一の符号を付して詳細な説明は省略する。

導電性ペースト35としては、銀ペースト、銅ペースト等が使用できる。

図2に示すように、接続部30の高さを高くするとともに、その先端を鋭く尖らせることが可能である。

次に、本発明の半導体装置の第3の実施の形態について、図3に基づいて説明する。

図3に示す半導体装置1において、半導体チップ10の、電極15形成側の面と対向する面に、追加の絶縁層45が形成されている。

その他の点は図2に示す第2の実施の形態と略同一である。図3において、図2に示す部分と同一部分には同一の符号を付して詳細な説明は省略する。

絶縁層45は、絶縁層40と同様なものを用いることができる。

図3に示すように、絶縁層40と絶縁層45を半導体チップ10の両面に設けることにより半導体装置1の反りの発生を防止することができ、これより、基板実装の際の歩留まり向上が期待できる。

次に、本発明の半導体装置の第4の実施の形態について図4に基づいて説明する。

図4に示す半導体装置1において、半導体チップ10の電極15形成側の面上に配設された絶縁層40上に配線層50が形成され、絶縁層40上に形成された配線層50と半導体チップ10の電極15とが接続されている。

図4において、絶縁層40上に形成された配線層50と半導体チップ10の電極15は、半導体チップ10の電極15上に設けられたメタル層33と、メタル層33の上に設けられた導電性ペースト硬化物35とからなる接続部30により電氣的に接続されている。

その他の点は、図1に示す第1の実施の形態と略同一である。図4において、図1に示す部分と同一部分には同一の符号を付して詳細な説明は省略する。

次いで、図1に示す半導体装置の製造方法について、図5および図6に基づいて説明する。

まず、複数の半導体チップ10と、電極領域が開口されたパッシベーション層20を有し、ウエハプロセスが施されたウエハWが用意される(図5(a))。このウエハWの各半導体チップ10に対して以下の処理が施される。

各半導体チップ10の電極15上にワイヤボンディングによりワイヤバンプ31が形成される(図5(b))。

次いで、ワイヤバンプ31を覆う厚さで、半導体チップ10の電極15形成側の面上に絶縁層40が配設される(図5(c))。

絶縁層40が加熱硬化された後、絶縁層40を研磨して所定厚さに薄くし、ワイヤバンプ31を露出させる(図5(d))。

この際、通常、ワイヤバンプ31も一部研磨され、ワイヤバンプの平坦面が露出する。

次いで、必要に応じ、絶縁層40の面の粗面化処理を行なう。次に絶縁層40の面に、Pdイオンを含む溶液に浸漬する等の方法により、絶縁層40の表面を活性化して無電解めっきを行い、無電解めっき層51を形成する(図5(e))。

無電解めっきとしては、無電解銅めっき、無電解ニッケルめっきが挙げられる。

これにより、無電解めっき層51とワイヤバンプ31とは電氣的に接続される。

次いで、無電解めっき層51上に、フォトリソ法により所定形状のレジスト像51aを形成する。このレジスト像51aを耐めっきマスクとして、無電解めっ

き層を給電層として、選択的に電解めっきを施し、無電解めっき層 5 1 上に電解めっき層 5 2, 5 3 を形成する。

これにより、配線層 5 0 が形成される。

電解めっき層 5 2 は、配線層 5 0 の主体となり、通常は銅を主体とするものである。電解めっき層 5 3 は、Ni めっき層、Au めっき層をこの順に積層したバリアメタル層であり、公知のめっき法により形成できる。

次いで、無電解めっき層 5 1 上のめっきマスクとしてのレジスト 5 1 a を除去した（図 6（a））後、配線層 5 0 を損なわないように、露出した無電解めっき層 5 1 をソフトエッチングにより、除去する。（図 6（b））

次いで、スクリーン印刷法により、配線層 5 0 を覆うように感光性のソルダーレジスト 6 0 を設け、感光性のソルダーレジストの所定の領域のみを露光して、更に現像して、配線層 5 0 の外部端子形成領域を開口する（図 6（c））。

これにより開口 6 0 a を有するソルダーレジスト 6 0 が形成される。

次いで、ソルダーレジスト層 6 0 の開口 6 0 a に、半田ボール 7 0 からなる外部端子をリフロー形成する（図 6 a（d））。

これにより、配線層 5 0 に半田ボール 7 0 が接続形成され、電極 1 5 は接続部 3 0, および配線層 5 0 を介して半田ボール 7 0 に接続される。

半田ボール 7 0 は、所定領域にスクリーン印刷法で塗布後リフロー、またはボール搭載法等により配設することができる。

半田ボール 7 0 は、通常、0.2～0.5 mmφ程度である。

この後、ウエハ W を各半導体チップ毎に切断分離して、外部端子が再配置された複数の独立した半導体装置 1 を得る。

図 2 に示す半導体装置 1 の製造方法は、上記の作製方法と同様に、半導体チップ 1 0 の電極 1 5 上にワイヤバンプ 3 1 を形成した後、更に、ワイヤバンプ 3 1 上に、導電性ペーストの加熱硬化処理等を行って、導電性ペースト硬化物 3 5 を突起状に形成するものである。ワイヤバンプ 3 1 と導電性ペースト 3 5 とから接続部 3 0 が形成される。

導電性ペースト硬化物 3 5 の形成方法としては、例えば、銀ペーストを均一な厚さに（50 μm 程度）にスキージーした面に、ワイヤバンプ 3 1 を形成したウ

エハWをワイヤバンプ31の先端が銀ペースト面に接触するようにし、その後、引き上げて先端が尖った銀ペースト突起を形成し、加熱、硬化する方法が挙げられるが、これに限定はされない。

そして、図5および図6に示す製造方法と同様に、絶縁層40を接続部30を覆うように配設した後、研磨して絶縁層を所定の厚さに薄くし、接続部30を露出する。

この場合は、導電性ペースト硬化物35の平坦面が露出する。

以下、図5および図6に示す製造方法と同様の各処理を施し、図2に示す半導体装置を得る。

図3に示す半導体装置1は、図2に示す半導体装置1を作製した後、更に、半導体チップ10の、電極15形成側の面と対向する面に追加の絶縁層45を形成することによって得ることができる。

絶縁層45の形成は絶縁層40の形成と同様に行うことができる。

図4に示す半導体装置1は、半導体チップ10の電極15上にワイヤバンプ31を形成せず、半導体チップ10の電極15側から、無電解Niめっき層、無電解金めっき層からなる2層、またはスパッタ法により形成されたTi、Pdから成る2層のメタル層33を下地メタル層として形成し、更に、このメタル層33上に、メタルマスク印刷法により導電性ペーストを塗布し、加熱硬化処理を行って、導電性ペースト硬化物35を突起状に形成する。これらメタル層33と、導電性ペースト硬化物35とから接続部30が形成される。

以下の工程は、図2に示す半導体装置の製造と同様に行うことができる。

実施例

以下、本発明の具体的実施例について述べる。

(実施例1)

実施例1は、図1に示す半導体装置を、図5、図6に示す工程にて作製したものである。

図5、図6に基づいて説明する。

ウエハプロセスを終えたウエハWの各半導体チップ10（図5（a））に対し、電極15上に、 $30\mu\text{m}\phi$ の太さのAuワイヤを用いて、 230°C にてボンディ

ングし、高さ $100\mu\text{m}$ のワイヤバンプ31を形成した。(図5(b))

次いで、 $100\mu\text{m}$ 厚のエポキシ系絶縁材料(味の素株式会社製、ABF-SH)を、真空ラミネートし、更に、 170°C で1時間熱処理して硬化し、絶縁層40を形成した。(図5(c))

本実施例では、ラミネートにより、ワイヤバンプ31が絶縁材料層40に突き刺さった状態で、且つ、絶縁層40がワイヤバンプ31を覆っている。

次いで、研磨機により、絶縁層40面を研磨し、 $90\mu\text{m}$ の厚さまで薄くし、ワイヤバンプ31先端を平坦な状態で露出させた。(図5(d))

次いで、絶縁層40の表面部を、過マンガン酸カリウム溶液に浸漬して、粗面化処理し、水洗後、以下の条件で無電解ニッケルめっきを施し、絶縁層40表面を覆うように、 $0.5\mu\text{m}$ の厚さに無電解めっき層51を形成した。(図5(e))

<無電解ニッケルめっき>

センシタイジング; S-10X (上村工業製)	3分
アクチベーティング; A-10X (上村工業製)	3分
無電解めっき; NPR-4 (上村工業製)	1分

次いで、無電解めっき層51上に、東京応化製のレジストPMER-AR900を、バーコートにより $12\mu\text{m}$ の厚み(プリベーク後)に塗布形成し、露光現像を行い、配線の形状に合わせた開口を有するレジスト51aを形成した。その後、開口から露出した無電解めっき層51に対して、以下のように、電解ニッケルめっき、電解銅めっき、電解無光沢ニッケルめっき、電解金めっきを順に行い、それぞれ、 $1\mu\text{m}$ 、 $8\mu\text{m}$ 、 $1\mu\text{m}$ 、 $0.1\mu\text{m}$ の厚さに形成し、このようにして配線層50の主層となる電解めっき層52、及びバリアメタル層となる電解めっき層53を電解めっきにより形成した。

ここでは、 $8\mu\text{m}$ 厚の銅めっき層が配線層40の主層となる電解めっき層52に相当し、その上のニッケルめっき層、金めっき層がバリアメタル層となる電解めっき層53に相当する。

尚、銅めっき層下のニッケルめっき層は、Auからなるワイヤバンプ31と銅めっき層が合金化することを防ぐための層である。

<電解ニッケルめっき>

硫酸ニッケル (6 水塩)		300 g / 1
塩化ニッケル (6 水塩)		45 g / 1
ほう酸		40 g / 1
P C ニッケル	A - 1	10 ml / 1
	A - 2	1 ml / 1
温度		50 °C
電流密度		1 A / dm ²
時間		1 分

<電解銅めっき>

硫酸銅 (5 水塩)		70 g / 1
硫酸		200 g / 1
塩酸		0.5 ml / 1
スパースロー 2000	光沢剤	10 ml / 1
スパースロー 2000	補正剤	5 ml / 1
温度		20 °C
電流密度		4 A / dm ²
時間		12 分

<電解無光沢ニッケルめっき>

WHNめっき液 (日本高純度化学社製)

温度	50 °C
電流密度	1 A / dm ²
時間	1 分

<電解金めっき>

テンペレジスト K - 91S (日本高純度化学社製)

温度	60 °C
電流密度	0.4 A / dm ²
時間	1 分

次いで、レジスト 51a をアセトンにて剥離した後 (図 6 (a))、配線層 5

0を損傷しないように露出した無電解めっき層51を、ニムデンリップC-11にてソフトエッチングして剥離除去した。(図6(b))

更に、触媒を除去するために、マコー株式会社製のウェットブラスト加工装置で、アルミナ砥材#1000(平均粒径 $11.5\mu\text{m}$)、砥材濃度20%、ポンプ厚 $0.5\text{kg}/\text{cm}^2$ 、処理速度 $10\text{m}/\text{min}$ の条件下でウェットブラスト処理を行った。

次いで、洗浄処理を施した後、スクリーン印刷により、配線層50を覆うように、絶縁層40全面に、感光性ソルダーレジスト(日立化成社製、BL-9700)を形成し、乾燥後厚さ $15\mu\text{m}$ とし、更に、所定のパタン版を用い、現像して、配線層50の外部端子形成領域に開口60aを有するソルダーレジスト層60を形成した。(図6(c))

次いで、配線層50の外部端子形成領域である、ソルダーレジスト層60の開口60aに半田ボール70を搭載してリフローし、半田ボール70を形成した(図6(d))。

次いで、各半導体チップ10毎にウエハWを切断分離して、外部端子が再配置された個別の半導体装置1を得た。

このようにして、図1に示す半導体装置1を得た。

(実施例2)

実施例2は、図2に示す半導体装置を形成したもので、実施例1と同様にして、半導体チップ10の電極15上にワイヤバンプ31を、 $100\mu\text{m}$ の高さに形成した。更に、銀ペーストを均一な厚さに($50\mu\text{m}$ 厚)にスキージした面に、ワイヤバンプ31が形成されたウエハWをワイヤバンプ31先端が銀ペースト面に接触するようにした。その後、ウエハWを引き上げて先端が尖った銀ペースト突起をワイヤバンプ31上に形成し加熱、硬化し、銀ペースト硬化物からなる導電性ペースト硬化物部35を形成し、ワイヤバンプ31と導電性ペースト硬化物部35とを合わせた高さを、乾燥後約 $150\mu\text{m}$ とした。(図7)

この後、ワイヤバンプ31と導電性ペースト硬化物部35とを覆うように、トランスファーモールドにより、シリカフィラー入りのエポキシ樹脂で絶縁層を $180\mu\text{m}$ 厚に形成した。

この後、実施例1と同様の処理を行い、図2に示す半導体装置1を得た。

但し、研磨後の絶縁層40の厚さは130 μ mとした。

(実施例3)

実施例3は、図3に示す半導体装置を形成したもので、実施例2の半導体装置1の製造方法において、ワイヤバンプ31上に、導電ペースト硬化部35を形成し、ワイヤバンプ31と導電ペースト硬化部35とを合わせた高さを乾燥後150 μ mとした後、トランスファーモールド法により、シリカフィラー入りのエポキシ樹脂で、ウエハWの電極15形成側の面に絶縁層40を180 μ m厚に形成し、また反対側の面に絶縁層45を130 μ m厚に形成した。

その後、実施例1と同様の処理を行い、図3に示す半導体装置1を得た。

(実施例4)

実施例4は、図4に示す半導体装置1を形成したものである。

先ず、電極部15のバッシベーション層の開口が形成されたウエハWに対し亜鉛置換処理を施し、Al電極15の表面にジンケート薄膜を形成した。次にジンケート薄膜の上に無電解Niめっき、無電解Auめっきを、それぞれ、3 μ m厚、0.1 μ m厚に、順に施した。

次いで、導電ペースト材として、旭化成工業株式会社製のGP913を用い、マタルマスクを用いた印刷法により、導電性ペースト突起を形成し、これを、180 $^{\circ}$ C、1時間加熱し、高さ150 μ mに形成した。(図8)

この後、実施例2と同様の処理を行い、図4に示す半導体装置1を得た。

但し、研磨後の絶縁層40の厚さは130 μ mとした。

尚、無電解Niめっきは実施例1と同様の薬液を用いて行った。また、無電解Auめっきは以下のようにして行った。

<無電解Auめっき>

レクトロレスAu (EEJA社製) 80 $^{\circ}$ C、5分

本発明によれば、基板に実装された状態で、温度が変化しても半導体チップにクラックを生じにくくなり、反りが発生しにくく、実装歩留まりの良い半導体装置を得ることができる。

請求の範囲

1. 電極が設けられた半導体チップと、
半導体チップの電極側の面上に設けられた絶縁層と、
絶縁層上に設けられた配線層とを備え、
半導体チップの電極と配線層は、絶縁層内に配置された接続部を介して接続されていることを特徴とする半導体装置。
2. 接続部は、半導体チップの電極上に設けられたワイヤバンプを有することを特徴とする請求項 1 記載の半導体装置。
3. 接続部は、ワイヤバンプ上に設けられた導電性ペースト硬化物を更に有することを特徴とする請求項 2 記載の半導体装置。
4. 接続部は、半導体チップの電極上に設けられたメタル層と、メタル層上に設けられた導電性ペースト硬化物とを有することを特徴とする請求項 1 記載の半導体装置。
5. 配線層を覆うとともに開口を有するソルダーレジスト層を更に備え、
ソルダーレジスト層の開口に配線層に接続された半田ボールを設けたことを特徴とする請求項 1 記載の半導体装置。
6. 半導体チップのうち、電極側と反対の面に追加絶縁層が設けられていることを特徴とする請求項 1 記載の半導体装置。
7. 電極が設けられた複数の半導体チップからなるウエハを準備する工程と、
各半導体チップの電極上に接続部を設ける工程と、
各半導体チップの電極側の面上に、接続部を覆う厚さで絶縁層を設ける工程と、
絶縁層を研磨して、接続部を露出させる工程と、
絶縁層の上に、無電解めっき層を形成する工程と、
無電解めっき層の上に、無電解めっき層を給電層として配線層形成領域のみに選択的に電解めっき層を形成する工程と、
電解めっき層以外の領域の無電解めっき層をエッチングにより除去して無電解めっき層と電解めっき層とからなる配線層を形成するエッチング工程と、
ウエハを各半導体チップ毎に切り出して半導体装置を形成する工程と、

8. 配線層上に、開口を有するソルダレジスト層を設ける工程と、

9. 接続部は、半導体チップの電極上に、ワイヤボンディングによりワイヤバンプを形成して設けられていることを特徴とする請求項7記載の半導体装置の製造方法。

11. 接続部は、半導体チップの電極上に、スパッタリングによりメタル層を形成し、このメタル層上に導電性ペースト硬化物を形成して設けられていることを特徴とする請求項7記載の半導体装置の製造方法。

13. 配線層を形成するエッチング工程において、無電解めっき層上の所定形状のレジスト像を除去した後、配線層を損なわないように、露出した無電解めっき層をソフトエッチングにより、除去することを特徴とする請求項12記載の半導体装置の製造方法。

15. ソルダーレジスト層を設ける工程において、スクリーン印刷法により、配線層を覆うように感光性のソルダーレジストを設け、該感光性のソルダーレジストの所定の領域のみを露光し、更に現像して配線層が露出するよう開口を形成することを特徴とする請求項8記載の半導体装置の製造方法。

要 約 書

半導体装置は半導体チップと、半導体チップの電極形成側の面上に配設された絶縁層と、絶縁層上の配線層とを備えている。絶縁層上に形成された配線層と半導体チップの電極とは、半導体チップの電極上に設けられたワイヤバンプ等の接続部を介して、電氣的に接続されている。

T07E20"45824653